

 UCG Univerzitet Crne Gore	UNIVERZITET CRNE GORE ELEKTROTEHNIČKI FAKULTET	
STUDIJSKI PROGRAM:	<i>ELEKTRONIKA, TELEKOMUNIKACIJE I RAČUNARI</i>	
PREDMET:	<i>PROJEKTOVANJE DIGITALNIH SISTEMA</i>	
FOND ČASOVA:	<i>3 + 0 + 1</i>	

LABORATORIJSKA VJEŽBA

NAZIV:	<i>REALIZACIJA BINARNOG BROJAČA</i>
CILJEVI VJEŽBE: <ul style="list-style-type: none"> - praktičan rad sa SPARTAN 3E Starter kit razvojnom platformom i Xilinx ISE razvojnim okruženjem, - povezivanje teorijske osnove (predavanja) sa praktičnom realizacijom, - upoznavanje sa <i>behavioral</i> modelovanjem, - programiranje PROM-a na Spartan 3E Starter kit platformi. 	
POTREBAN PRIBOR: <ul style="list-style-type: none"> - pribor za pisanje. 	

IME I PREZIME: _____.

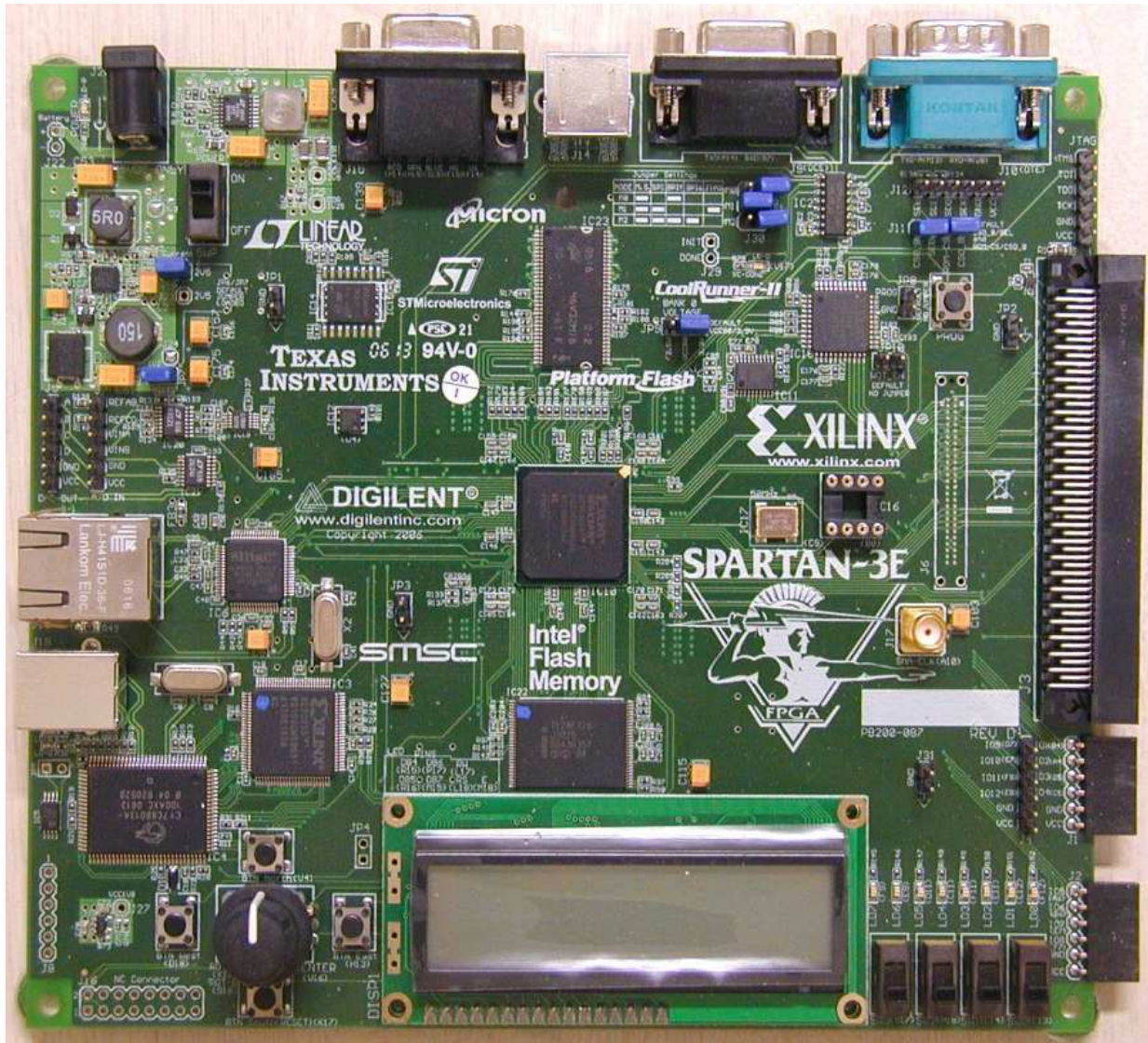
BROJ INDEKSA: _____.

BROJ POENA:	
OVJERAVA:	
DATUM:	

1. APARATURA

Na raspolaganju su sljedeći uređaji i oprema:

- SPARTAN 3E Starter Kit razvojna platforma,
- računar,
- napajanje,
- USB kabal,
- Xilinx ISE Design Suite v.14.7 razvojno okruženje.

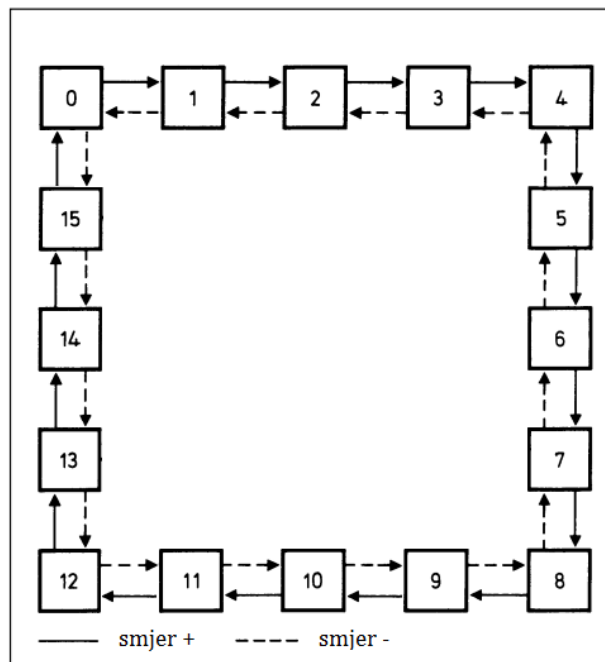


Slika 1.1: Izgled SPARTAN 3E Starter Kit razvojne platforme

2. TEORIJSKA OSNOVA LABORATORIJSKE VJEŽBE

Brojači su sekvencijalna digitalna kola, bazirana na flip-flopovima kao memorijskim elementima. Mogu se smatrati specijalnim tipom registra koji ima ugrađenu logiku za inkrementiranje odnosno dekrementiranje. Dovođenjem odgovarajućih kontrolnih signala na ulaze, brojaču se omogućava prolaz kroz unaprijed definisanu sekvencu stanja. Ulazni signali koji pobuđuju prelaz u naredno stanje mogu biti periodični impulsi (takt) ili impulsi koji se javljaju u proizvoljnim vremenskim trenucima. Sekvenca stanja kroz koja se brojač kreće može da slijedi prirodnu brojnu sekvencu, ili bilo koju drugu brojnu sekvencu. Brojač koji slijedi prirodnu brojnu sekvencu i sastoji se od N flip-flopova, može da broji od 0 do 2^N-1 .

Brojači koji imaju mogućnost prolaska kroz dvije različite sekvence brojanja nazivaju se dvosmjerni (*Up and Down*) brojači. Ukoliko se radi o prirodnoj sekvenci brojanja može se reći da se broji naviše, odnosno naniže (slika 2.1). Izbor sekvence brojanja vrši se kontrolnim signalom. Brojač koji broji naviše, kada dostigne najvišu vrijednost nastavlja da broji od najniže. Na primjer, kod četvorobitnog brojača će nakon broja 15 nastaviti sa brojem 0. Brojač koji broji naniže, kada dostigne najnižu vrijednost nastavlja da broji od najviše. Na primjer, kod četvorobitnog brojača će nakon broja 0 nastaviti sa brojem 15.



Slika 2.1: Četvorobitni dvosmjerni brojač sa prirodnom sekvencom brojanja

2.1 Verilog kod za realizaciju binarnog brojača

```
module brojac(diode, smjer, takt, reset);
output reg [3:0] diode;
input smjer, takt, reset;

reg [25:0] stanje;

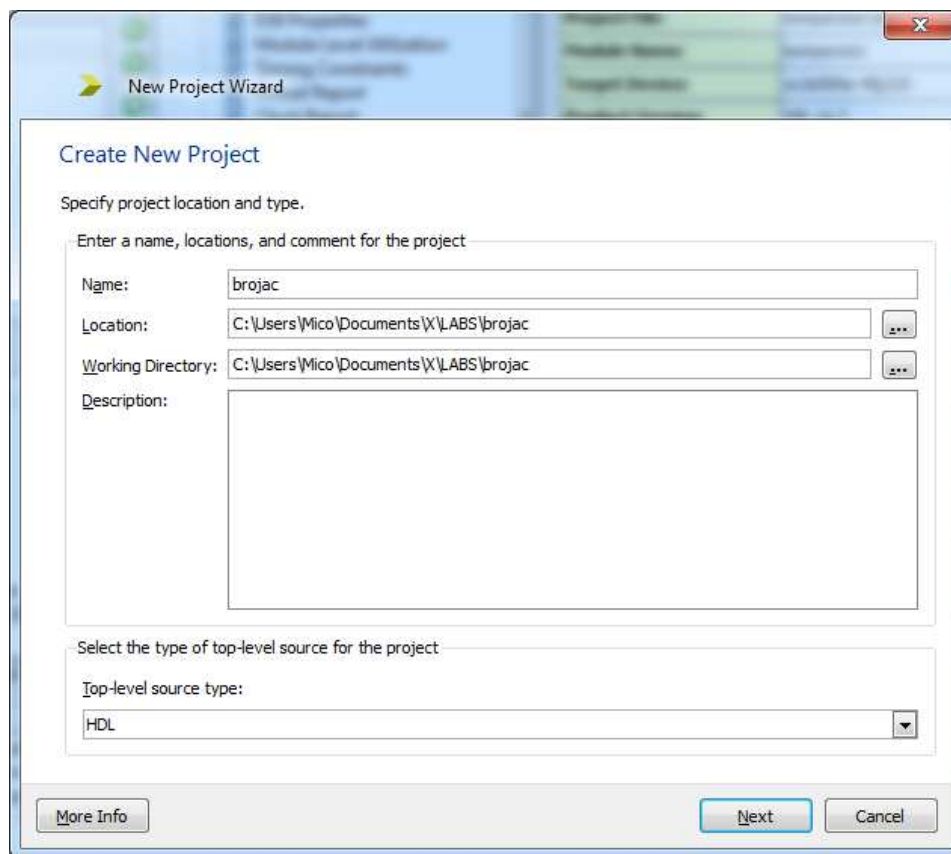
always @(posedge takt or negedge reset)
    begin
        if(reset == 1'b0) begin
            stanje <= 26'b0;
            diode <= 4'b0;
        end
        else begin
            stanje <= stanje + 26'b1;
            if(stanje == 26'h2FAF080) begin // ovo je 50.000.000 u hex zapisu
                stanje <= 26'b0;
                if(smjer) diode <= diode + 1'b1;
                else diode <= diode - 1'b1;
            end
        end
    end
end
endmodule
```

3. ZADACI LABORATORIJSKE VJEŽBE

Kreiranje dizajna

Pokrenuti *ISE Project Navigator* i napraviti novi projekat.

1. **Start**→**Programs**→**Xilinx Design Tools**→ **ISE Design Suite 14.7**→**ISE Design Tools** → **Project Navigator**
2. U dobijenom prozoru treba izabrati **File**→**New Project**. Otvoriće se **New Project Wizard** (slika 3.1).

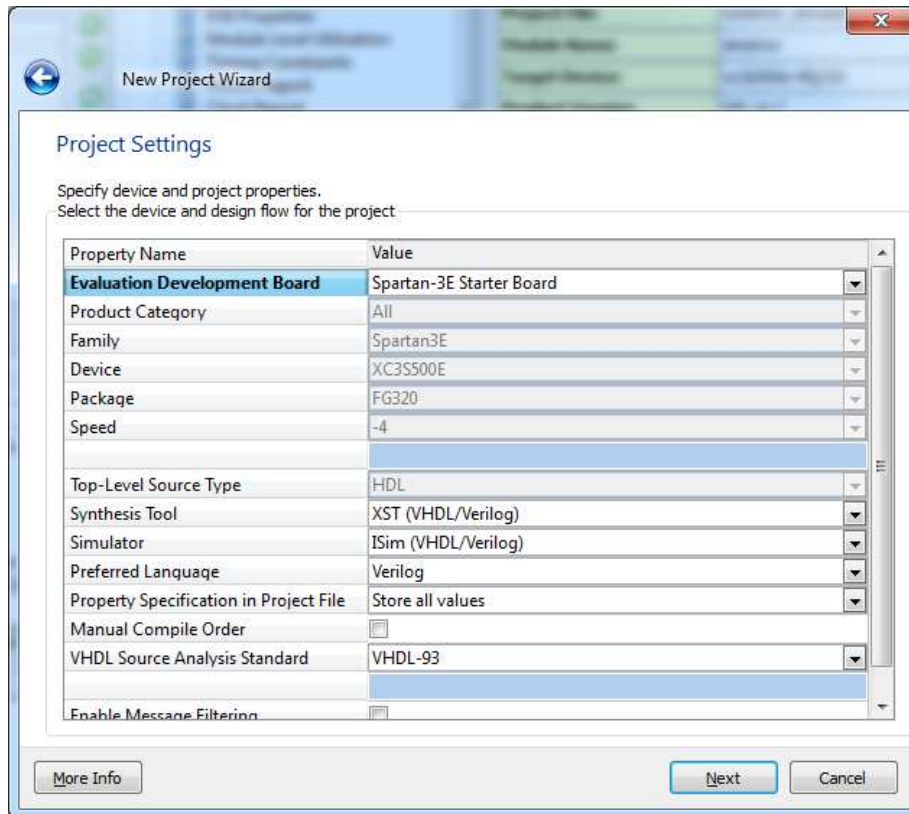


Slika 3.1: Prozor *New Project Wizard*

Dati ime novom projektu (npr. **brojac**), a zatim odrediti mjesto na hard disku gdje želite da vaš projekat i njegovi prateći fajlovi budu sačuvani (...)=**Browse**.

3. <Next>

Pojaviće se prozor prikazan na slici 3.2.

Slika 3.2: Prozor *Device Properties*

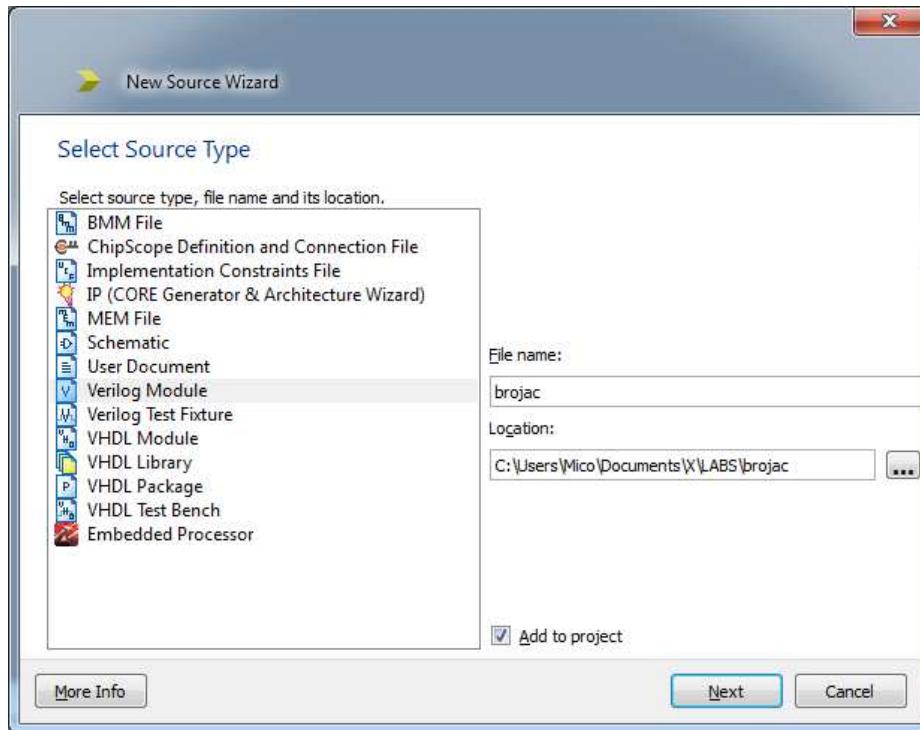
Pojaviće se dijalog za odabir uređaja i toka dizajna i treba odabrati sledeća podešavanja:

Device Family: **Spartan3E**
 Device: **xc3s500E**
 Package: **fg320**
 Speed Grade: **-4**
 Synthesis Tool: **XST (VHDL/Verilog)**
 Simulator: **ISim (VHDL/Verilog)**
 Preferred Language: **Verilog**

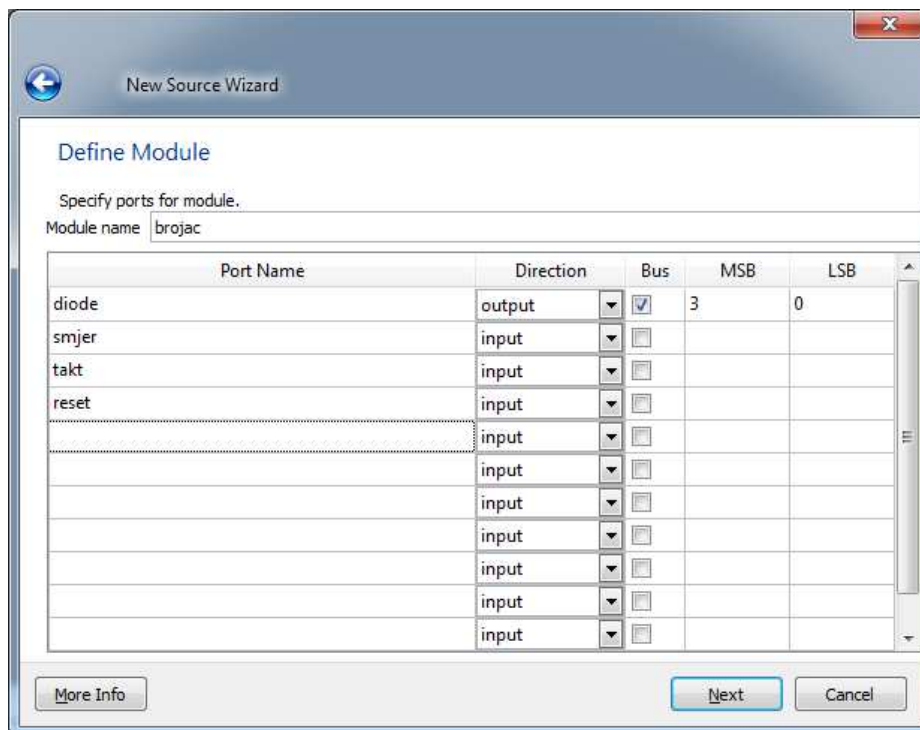
Napomena: Može se pod **Evaluation Development Board** izabrati **Spartan-3E Starter Board** i tada bi se automatski podesile opcije za FPGA čip.

4. <Next>, pa <Finish>
5. Izabrati **Project**→**New Source**.

Pojaviće se sledeći prozor (**New Source Wizard** - slika 3.3) u kome treba izabrati opciju **Verilog Module**, dati ime fajlu (npr. **brojac**) i pritisnuti <Next>.

Slika 3.3: Prozor *New Source Wizard*

6. U sledećem prozoru unijeti nazive portova i njihove smjerove, kako je to prikazano na slici 3.4 i izabrati <Next> i <Finish>. Na pitanje da li želite da kreirate folder odgovoriti sa <Yes>.

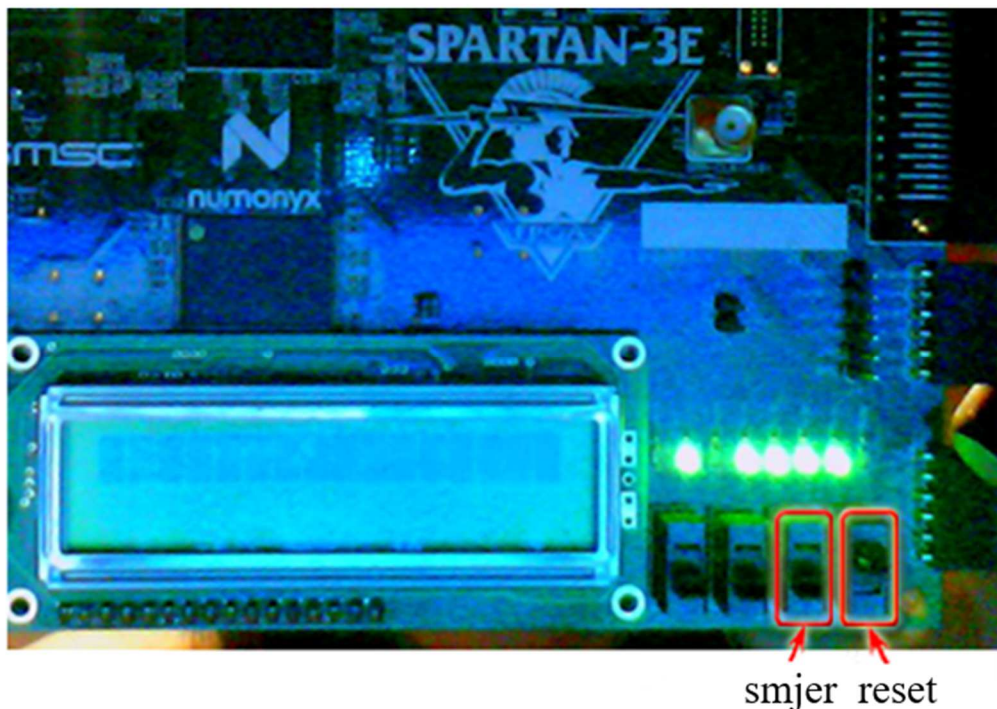


Slika 3.4: Unos portova

7. Dobijeni okvir za kreiranje modula dopuniti funkcionalnošću modula saglasno kodu prikazanom u poglavlju 2.1.
8. Snimiti izmjene u fajlu: **File**→**Save**

Implementacija

1. Prvi korak je pridruživanje odgovarajućih pinova FPGA čipa signalima unutar našeg dizajna. Ulazne signale *smjer* i *reset* ćemo povezati na prekidače koji se nalaze na Spartan 3E Starter Kit razvojnoj platformi, a izlazne signale *diode* na LED (slika 3.5). U tu svrhu možemo koristiti program **PlanAhead**, kao što je to prikazano u laboratorijskoj vježbi „Architecture Wizard i PACE Lab (PlanAhead)“. Međutim, ovdje ćemo isti zadatak obaviti na drugačiji način.



Slika 3.5: Položaj prekidača i LED koji se koriste u ovoj vježbi

2. U **Design View** prozoru selektovati opciju **Implementation**, a u **Design Hierarchy** prozoru selektovati **brojac**.
3. Izabrati **Project**→**New Source**, u novom prozoru selektovati **Implementation Constraints File** i dati mu ime (npr. **constraints**) (slika 3.6). Potom izabrati <Next>, <Finish>
4. U upravo kreirani fajl, uz pomoć dokumenta *Spartan-3E Starter Kit Board User Guide*, unijeti kod kojim definišemo povezivanje signala unutar dizajna sa pinovima FPGA čipa:

```
NET "takt" LOC = "C9" | IOSTANDARD = LVCMOS33;
NET "takt" PERIOD = 20.0ns HIGH 40%;
```

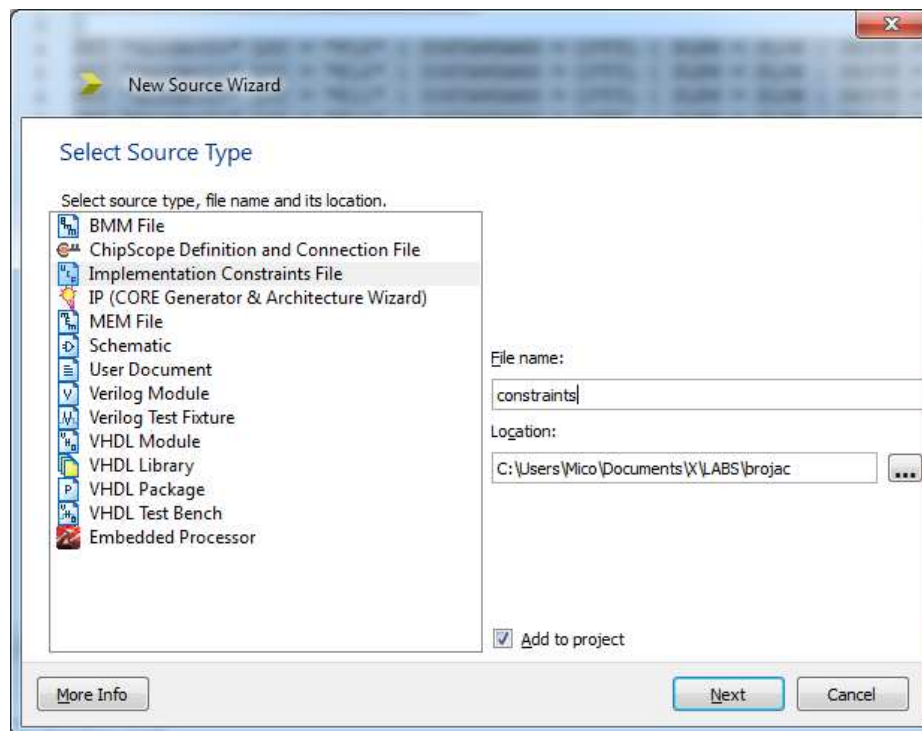
```
NET "diode<0>" LOC = "F12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
```



```
NET "diode<1>" LOC = "E12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "diode<2>" LOC = "E11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "diode<3>" LOC = "F11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
```

```
NET "reset" LOC = "L13" | IOSTANDARD = LVTTTL | PULLUP ;
NET "smjer" LOC = "L14" | IOSTANDARD = LVTTTL | PULLUP ;
```

5. Snimiti unijete izmjene u *constraint* fajl: **File**→ **Save**
6. U **Processes** prozoru dva puta kliknuti na **Generate Programming File** (pri čemu su i dalje selektovane stavke iz koraka 2) i sačekati da se proces završi.
7. Uključiti Spartan-3E Starter Board razvojnu platformu i povezati je sa računarom pomoću USB kabela.

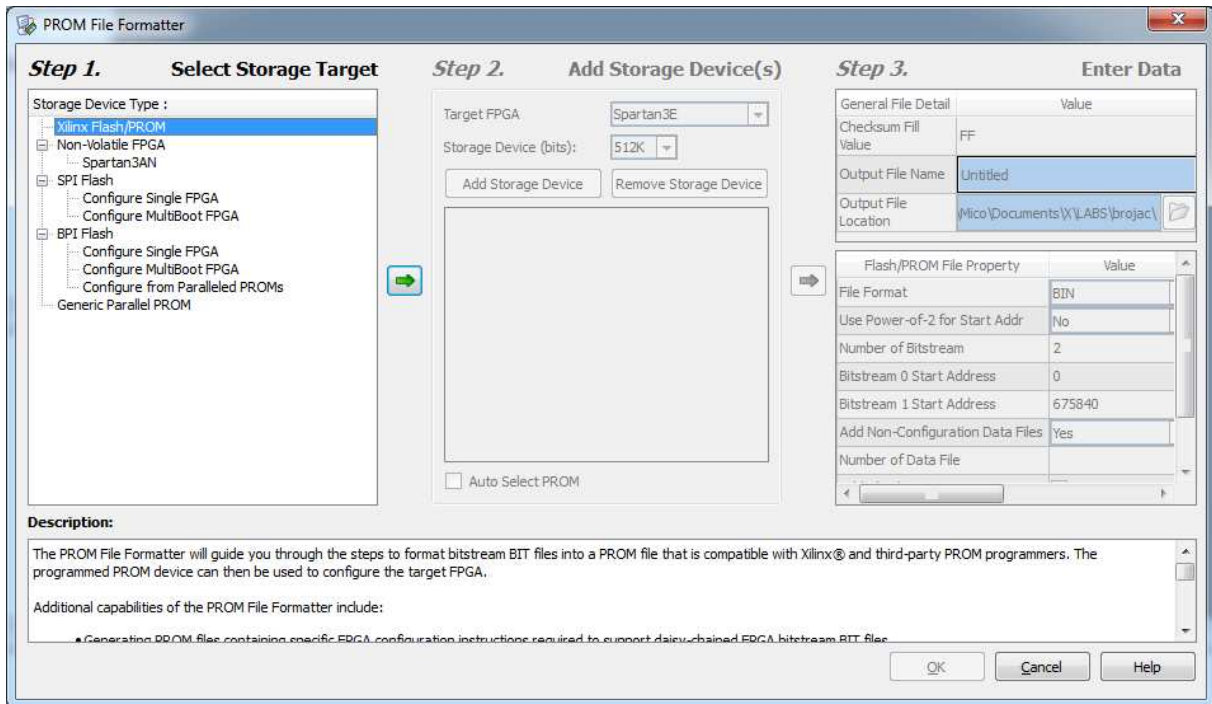


Slika 3.6: Kreiranje *constraints* fajla

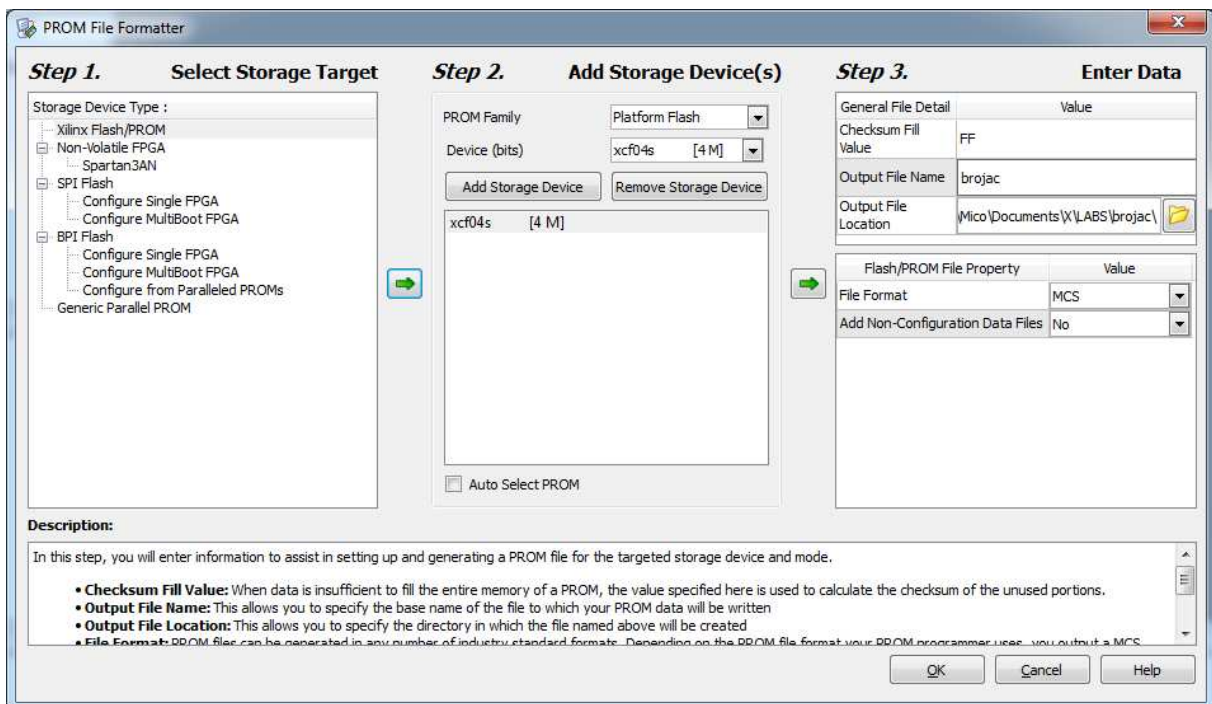
Generisanje Flash PROM fajla

1. U **Processes** prozoru raširiti **Configure Target Device** i dva puta kliknuti na **Generate Target PROM/ACE File**.
2. Kada se pokrene program **iMPACT** u prozoru **iMPACT Flows** dva puta kliknuti na **Create PROM File**. Pojaviće se **PROM File Formatter** prikazan na slici 3.7. U prozoru **Storage Device Type** (Step 1) izabrati **Xilinx Flash/PROM** i pritisnuti zelenu strelicu desno od prozora. Aktiviraće se prozor **Step 2** u kome treba izabrati **PROM Family: Platform Flash i Device(bits): xcf04s [4M]** (ovo je Flash memorija koja se nalazi na platformi). Nakon toga pritisnuti dugme **Add Storage Device**. Označiti dodati uređaj (xcf04s) i pritisnuti zelenu strelicu koja se nalazi desno od prozora **Step 2**. Time je aktiviran prozor **Step 3** u kome treba

dati ime izlaznom fajlu (npr. **brojac**). Važno je provjeriti da pod **File Format** stoji **MCS**. Konačan izgled **PROM File Formatter**-a prikazan na slici 3.8. Izabrati <OK> i <OK>.

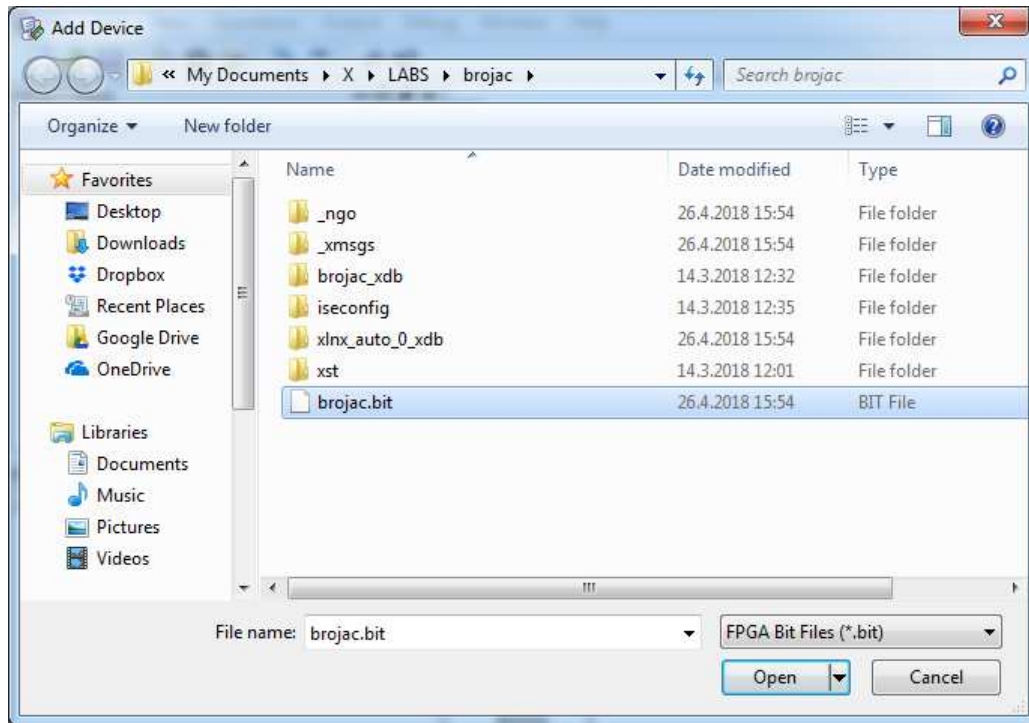


Slika 3.7: PROM File Formatter



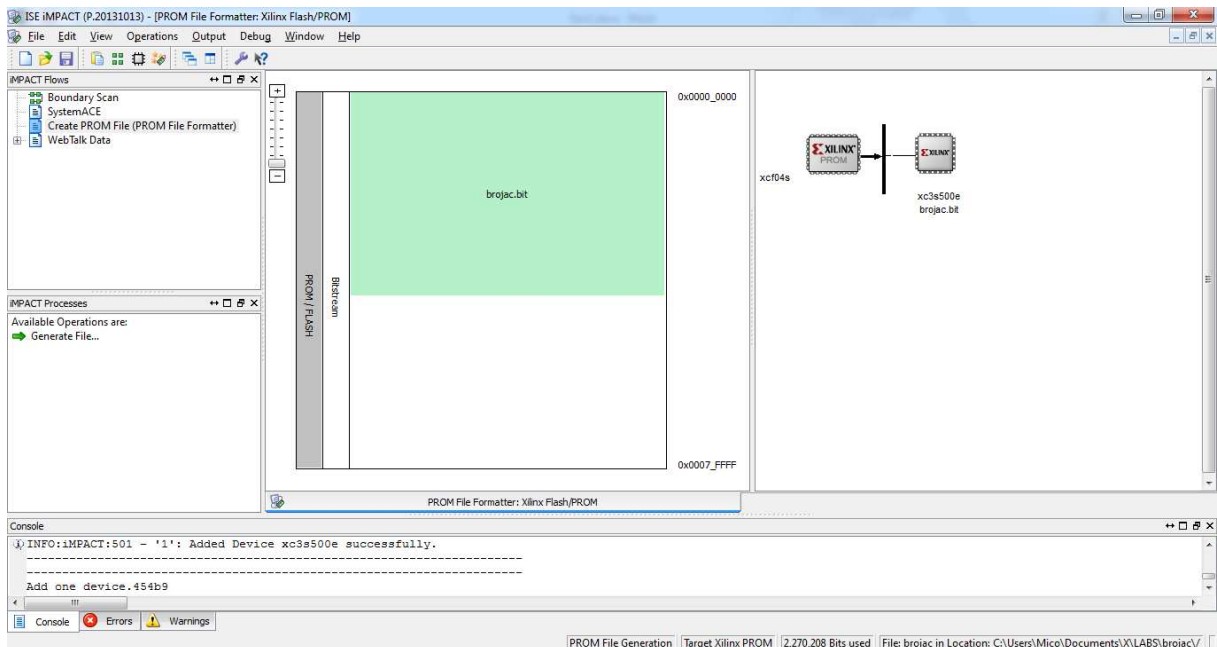
Slika 3.8: PROM File Formatter sa podešenim opcijama

3. Pojaviće se prozor za izbor **.bit** fajla u kome se nalazi željeni dizajn (slika 3.9). Izabrati fajl **brojac.bit** i **<Open>**.



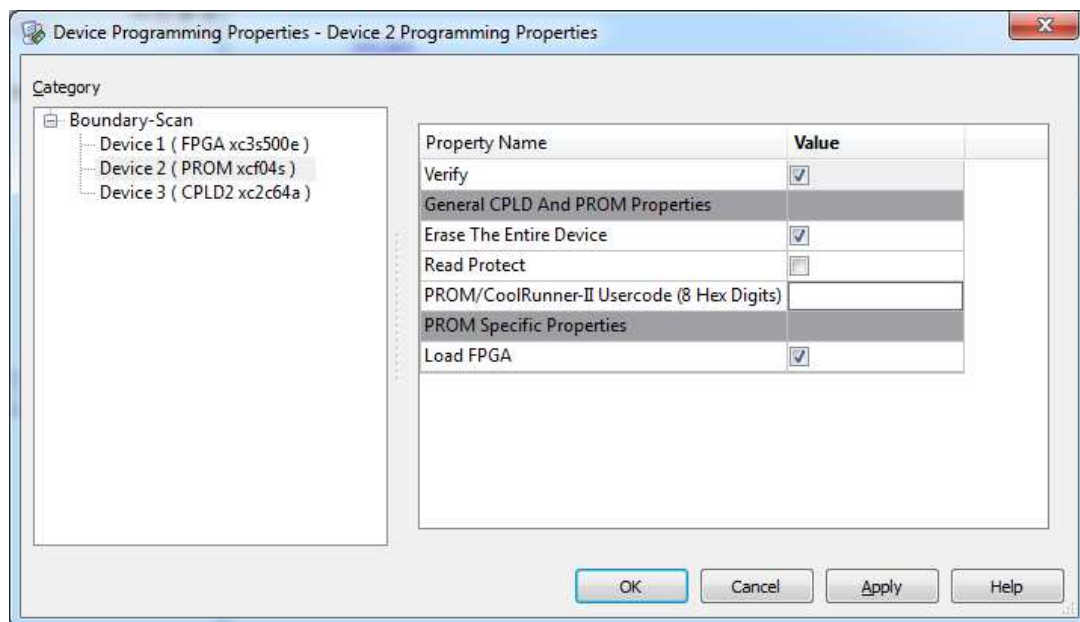
Slika 3.9: Izbor fajla sa dizajnom

4. Na pitanje „**Would you like to add another device file to Revision: 0**“ odgovoriti sa **<No>** i potom pritisnuti **<OK>**. Izgled ekrana prikazan je na slici 3.10.



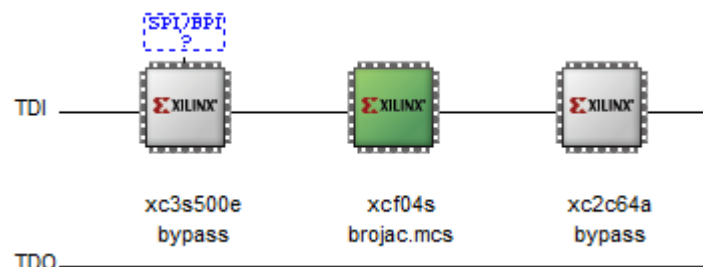
Slika 3.10: PROM File Formatter nakon izbora fajla sa dizajnom

5. U prozoru **iMPACT Processes** dva puta kliknuti na **Generate File**. Proces se završava sa porukom **Generate Succeeded**.
6. Povezati Spartan-3E platformu USB kablom sa računarom, a zatim platformu uključiti.
7. Dva puta kliknuti na **Boundary Scan** u **iMPACT Flows** prozoru. Nakon toga se desnim tasterom miša klikne na praznu bijelu površinu na kojoj piše „**Right click to Add Device or Initialize JTAG chain**“ i izabere se opcija **Initialize Chain**. Na pitanje „**Do you want to continue and assign configuration file(s)**“ odgovoriti sa **<YES>**.
8. Kada se pojavi dijalog **Assign New Configuration File**, za **xc3s500e** (prvi uređaj u JTAG ‘lancu’) se klikne **<Bypass>**.
9. Za drugi uređaj (**xcf04s**) se izabere fajl **brojac.mcs**, a za treći uređaj se klikne **<Bypass>**.
10. Kada se pojavi prozor **Device Programming Properties** selektovati **Device 2 (PROM xcf04s)**, aktivirati opcije **Verify**, **Erase The Entire Device** i **Load FPGA** (slika 3.11) i pritisnuti **<OK>**.



Slika 3.11: PROM File Formatter nakon izbora fajla sa dizajnom

11. Izgled radnog prozora prikazan je na slici 3.12.



Slika 3.12. JTAG lanac sa dodijeljenim konfiguracionim fajlom

12. Kliknuti desnim klikom na ikonicu čipa **xcf04s** koji je označen zelenom bojom (ako nije označen prvo ga selektovati lijevim tasterom miša) u radnom prozoru i odabrati **Program**.
13. Promjenom položaja prekidača mijenjati smjer brojanja i resetovati brojač, a promjene pratiti na LE diodama.

Napomena: da bi se FPGA ispravno konfigurisao potrebno je podesiti konfiguracioni mod, odnosno izabrati odakle FPGA preuzima konfiguraciju. Uputstvo za podešavanje konfiguracionog moda se nalazi u fajlu „**Spartan-3E Starter Kit Board User Guide**“, stranice 25 do 27.

4. ZAKLJUČAK